

# PATENT ABSTRACTS OF JAPAN

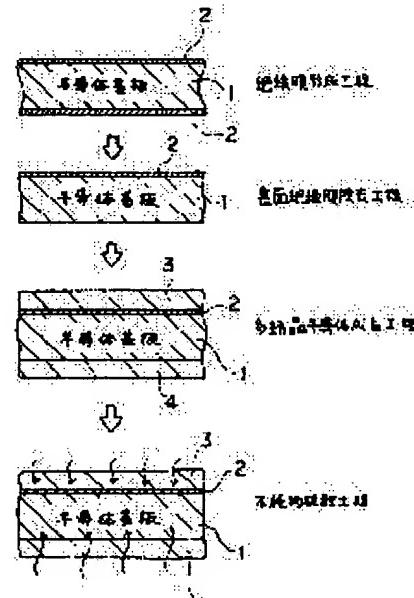
(11)Publication number : **61-159741**(43)Date of publication of application : **19.07.1986**

(51)Int.CI.

**H01L 21/322****H01L 21/205****H01L 21/31**(21)Application number : **59-281447**(71)Applicant : **SONY CORP**(22)Date of filing : **31.12.1984**(72)Inventor : **NODA MASANORI  
YAMOTO HISAYOSHI****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57)Abstract:**

**PURPOSE:** To reduce the number of processes by providing a process, in which an insulating film formed on the back side of a semiconductor substrate is removed, after a process in which the insulating film is formed to the substrate.

**CONSTITUTION:** Insulating films 2 are shaped onto a semiconductor such as a silicon substrate 1. The insulating film 2 on the back side of the substrate 1 in the insulating films 2 is removed to expose the substrate 1, and polysilicon is grown. Consequently, a film 3 for a gate consisting of polysilicon is wired onto the insulating film 2. A polysilicon film 4 directly grows on the back side of the substrate 1, and applied stress to the substrate 1. A process in which an impurity is diffused is conducted in order to give the film 3 conductivity. Heavy metals, such as molybdenum, tungsten, etc. made to be contained in the substrate 1 are captured to a defective region formed on the basis of stress and strain generated due to the formation of SiP, etc. in the substrate 1 through heat treatment. As a result, double gettering effects are acquired through the growth of the polycrystalline semiconductor and the diffusion of the impurity. Accordingly, a gettering exclusive process isunnecessary only by adding one process in which the insulating film on the back side of the semiconductor substrate is removed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

## ⑫ 公開特許公報 (A) 昭61-159741

⑤Int.Cl.  
H 01 L 21/322  
21/205  
21/31

識別記号 庁内整理番号  
6603-5F  
6708-5F 審査請求 未請求 発明の数 1 (全4頁)

③公開 昭和61年(1986)7月19日

## ④発明の名称 半導体装置の製造方法

②特 願 昭59-281447  
②出 願 昭59(1984)12月31日

⑦発明者 野田 昌敬 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑦発明者 矢元 久良 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑦出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑦代理人 弁理士 高月 亨

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

1. 半導体基板に絶縁膜を形成する工程と、この絶縁膜を形成した半導体基板に多結晶半導体を成長させる工程と、前記多結晶半導体に不純物を拡散させる工程とを備える半導体装置の製造方法において、前記絶縁膜を形成する工程の後に、半導体基板の裏側に形成された絶縁膜を除去する工程を設け、該工程の後に前記多結晶半導体成長工程あるいは不純物拡散工程を行なうことを特徴とする半導体装置の製造方法。

2. 前記多結晶半導体はポリシリコンであることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 前記不純物はリンであることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は半導体装置の製造方法に関し、特に、ゲッタリング専用工程が不要な半導体装置の製造方法に関する。

## 【従来の技術】

大規模集積回路等の半導体装置、特に、MOS型等の電界効果を利用した例えばダイナミックRAM等のメモリ装置や電荷結合素子(CCD)等では、接合面におけるリーク電流が小さく電荷保持時間が長いことが必須的要件として要求されている。従って、半導体装置の製造にあたって、これ等の諸特性を劣化させる主原因となる重金属汚染の悪影響から回路素子を保護するために、多くの場合、ゲッタリング工程を設けている。

第2図は、シリコン(SI)ゲートMOSデバイスの従来から採用されている製造方法の一例を示すものである。この製造方法では、先ず、半導体基板1を酸化して絶縁膜2を形成する。通常、

この工程で基板1の表面（おもてめん）回路素子を形成する例）と裏面の両面に絶縁膜2が形成される。次に、例えば気相成長法によりポリシリコンを成長させる。この工程により、表面側の絶縁膜2と裏面側の絶縁膜2の両方の上にポリシリコン3と4が夫々形成される。そして、ポリシリコン3、4にリンを拡散してポリシリコン3、4に導電性を付与してゲートを作る。その後、図示は省略するが、表面側にソースやドレインを形成する工程、ゲッタリング工程、熱処理工程等の通常のMOSデバイス製造工程を行なう。

ゲッタリング工程としては、例えば次の様なものがある。

半裏面側にPOCl<sub>3</sub>のプレデポジション等によりリン拡散を行ない、SIPを形成することによって歪を生成し、その後の熱処理により基板中に含まれる重金属をこの歪に捕捉させる。

半裏面側にポリシリコンを成長させ、そのストレスにより基板に格子欠陥領域を形成し、その後の熱処理により基板中に含まれる重金属をこの欠陥

部分に捕捉させる。

これ等のゲッタリング工程は、いずれも裏面側に選択的に処理を行なう必要がある為、裏面側の回路素子形成後に、専用の一連の工程が必要になる。例えば、上記①では、回路素子が形成してある裏面側にリン拡散が行なわれないように、少くとも、裏面側に酸化シリコン膜等のマスクを形成する工程と、プレデポジション後にこのマスクを除去する工程とが必要である。また、上記②では、回路素子が形成してある裏面側にポリシリコンが形成されないように、少くとも、裏面に被覆膜を形成する工程と、ポリシリコン形成後に該被覆膜を除去する工程とが必要である。

上述したように、半導体装置の製造、特に電界効果型の半導体装置の製造においては、ゲッタリング工程が不可欠である。しかも、従来の製造方法では、ゲッタリングの為の一連の専用工程が必要である為、半導体製造工程数が多くなり、半導体装置の製造コストを上昇させる原因になつてゐる。

#### [発明の目的]

本発明の目的は、ゲッタリング専用工程を廻して他の製造工程で同時にゲッタリングを行なうようし、製造工程数を減少させて製造コストの低廉価を図ることができる半導体装置の製造方法を提供することにある。

#### [発明の構成]

上記目的を達成すべく、本発明の半導体装置の製造方法では、半導体基板に絶縁膜を形成する工程の後に、半導体基板の裏面側に形成された絶縁膜を除去する工程を設ける構成にする。

#### [発明の作用]

本発明の半導体装置の製造方法は、上記のように、半導体基板の裏面側の絶縁膜を製造工程の初期の段階で除去してしまうので、その後の通常の製造工程で行なわれる多結晶半導体の成長により、半導体基板にストレスを与えることができる。つまり、バッファとして作用してしまう基板裏面側の絶縁膜が無い為、多結晶半導体成長工程とその後の熱処理工程により同時にゲッタリング

がなされる。また、不純物拡散のストップとして作用する絶縁膜が基板の裏側に無い為、多結晶半導体成長工程後の不純物拡散工程により、不純物が基板の裏側から多結晶半導体を通して基板内にも拡散し、その後の熱処理工程によりゲッタリングがなされる。

従って、ゲッタリングの為の専用工程が不要となる。

尚、裏面側に多結晶半導体が成長しない場合は、多結晶半導体の付着によるゲッタリング効果は無くて不純物によるゲッタリング効果のみとなり、裏面側に不純物拡散ができない場合は、不純物によるゲッタリング効果は無くて多結晶半導体の付着によるゲッタリング効果のみとなることは当然である。しかし、一般的の半導体装置製造方法では、基板の両面に多結晶半導体成長と不純物拡散がなされるので、両方のゲッタリング効果が得られる。

#### [発明の実施例]

以下、本発明の半導体装置製造方法の一実施例

を第1図に基づいて説明する。

先ず、絶縁膜形成工程では、半導体、例えはシリコン(Si)で成る基板1に絶縁膜2を形成する。この絶縁膜2の形成は、例えは基板1を酸化することにより行ない、これにより基板1の両面に酸化シリコン(SiO<sub>2</sub>)膜が形成される。

次に、本発明に係る裏面絶縁膜除去工程を行なう。この工程では、前工程で形成された絶縁膜2の内、基板1の裏面側の絶縁膜2を除去し、半導体基板1を露出させる。

次に、通常の半導体装置製造方法で行なわれる多結晶半導体成長工程を行なう。これは、例えは、気相成長法によりポリシリコンを成長させる。これにより、絶縁膜2の上に例えはポリシリコンで成るゲート用の膜3が配線される。また、基板1の裏面側には、直接ポリシリコン膜4が成長し、このポリシリコン膜4が基板1にストレスを与える。

更に、例えはゲート用の膜3に導電性を付与する為、不純物を拡散する工程を行なう。これは、

で、ゲッタリング専用工程が不要となるという優れた効果がある。このため、半導体装置の製造工程数が減少し、製造コストの低廉化を達成することができる。

図面の簡単な説明  
第1図は本発明の一実施例を示す。第2図は従来例を示す。

1…半導体基板、

2…絶縁膜、

3，4…多結晶半導体膜。

特許出願人：ソニーフジコム株式会社

代理人：弁理士高月亨

例えば、POCl<sub>3</sub>のプレデポジションやリンガラス(PSG)膜からの拡散により行なう。このリン等の不純物拡散は裏面側にもなされ、リン等の不純物は、ポリシリコン膜4を通して基板1内にも拡散する。

その後、通常の半導体装置製造工程である熱処理を行なうと、前記ストレスに基づいて生成される欠陥領域や、基板1内にSiP等ができるこことによって生ずる歪に、基板1内に含まれているモリブデン(Mo)、タンクステン(W)等の重金属属が捕捉される。

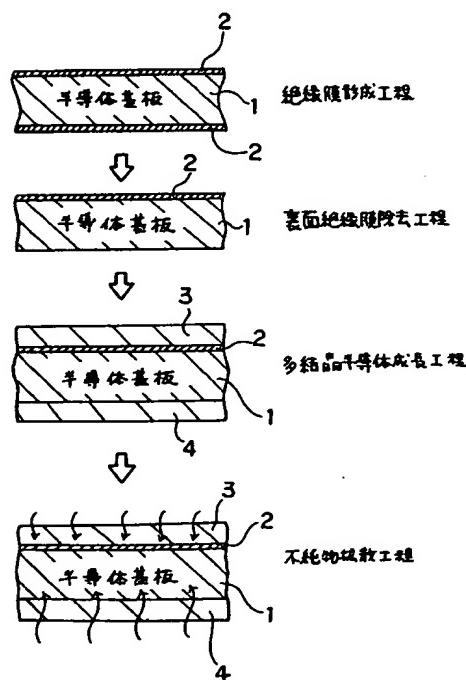
このようにして、本実施例では、多結晶半導体成長と不純物拡散とにより、2重のゲッタリング効果が得られる。

なお、当然のことではあるが、本発明は図示の実施例にのみ限定されるものではない。

#### [発明の効果]

上述の如く、本発明の半導体装置の製造方法では、製造工程の初期の段階において、半導体基板裏面側の絶縁膜を除去する一工程を追加しただけ

第1図



第2圖

